

PUB-NO: JP405048000A  
DOCUMENT-IDENTIFIER: JP 05048000 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: February 26, 1993

INVENTOR-INFORMATION:  
NAME  
MIZUKOSHI, MASATAKA

ASSIGNEE-INFORMATION:  
NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP03202089  
APPL-DATE: August 13, 1991

US-CL-CURRENT: 257/686; 257/723  
INT-CL (IPC): H01L 25/065; H01L 25/07; H01L 25/18

**ABSTRACT:**

**PURPOSE:** To provide a multichip type semiconductor device in which further higher density mounting and higher output can be performed in the device containing a plurality of semiconductor elements in a package.

**CONSTITUTION:** In a semiconductor device, a board 2 having semiconductor elements 14, 15 on both side is mounted on a base 3 of a package, and electrodes 21 on the board 2 are connected to electrodes 31 on the base 3 by wirings 4. The element 14 is attached to the lower surface of the board 2 by facedown bonding, and the back surface of the element 14 is connected to the base 3 through a thermally conductive connection material 5.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-48000

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

7220-4M

H 0 1 L 25/ 08

Z

審査請求 未請求 請求項の数6(全 5 頁)

(21)出願番号

特願平3-202089

(22)出願日

平成3年(1991)8月13日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 水越 正孝

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

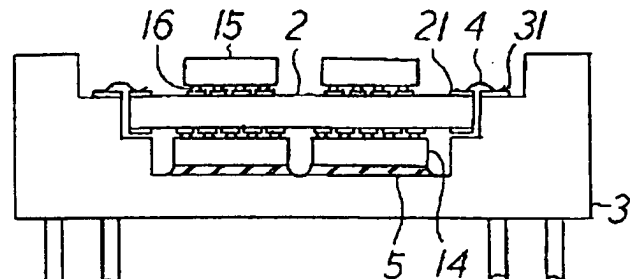
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 パッケージ内に複数の半導体素子を内蔵してなるマルチチップ型半導体装置に関し、一層の高密度実装化と高出力化を可能にするマルチチップ型半導体装置の提供を目的とする。

【構成】 両面にそれぞれ半導体素子14、15が搭載された基板2をパッケージのベース3に実装し、基板2上の電極21とベース3上の電極31をワイヤー4で接続してなる半導体装置であって、少なくとも下面に搭載される半導体素子14がフェイスダウン方式によって基板2に搭載され、且つ、半導体素子14の背面が熱伝導性の接合材5を介してベース3に接合されてなるように構成する。

本発明になる半導体装置の概要を示す断面図



## 【特許請求の範囲】

【請求項1】 両面にそれぞれ半導体素子(14,15)が搭載された基板(2)をパッケージのベース(3)に実装し、該基板(2)上の電極(21)と該ベース(3)上の電極(31)をワイヤー(4)で接続してなる半導体装置であって、少なくとも下面に搭載される半導体素子(14)がフェイスダウン方式によって該基板(2)に搭載され、且つ、該半導体素子(14)の背面が熱伝導性の接合材(5)を介して該ベース(3)に接合されてなることを特徴とする半導体装置。

【請求項2】 請求項1に記載された半導体装置において低出力の半導体素子(15)が基板(2)の上面に搭載され、高出力の半導体素子(14)が該基板(2)の下面に搭載されてなることを特徴とする半導体装置。

【請求項3】 請求項1に記載された半導体装置において半導体素子(15)と受動部品(6)が基板(2)の上面に搭載されてなることを特徴とする半導体装置。

【請求項4】 請求項1に記載された半導体装置において基板(2)およびベース(3)を構成する素材が、半導体素子(14,15)の熱膨張率に近似した熱膨張率を有することを特徴とする半導体装置。

【請求項5】 請求項1に記載された半導体装置においてパッケージのベース(3)またはキャップ(7)と基板(2)の間に、絶縁性の熱伝導ペースト(8)または金属製の熱伝導部品(9)を介在させてなることを特徴とする半導体装置。

【請求項6】 請求項1に記載された半導体装置において基板(2)上に外部接続用の電極(21)と試験用の電極(22)が形成され、ベース(3)への実装に先立って該基板(2)上に形成された回路の特性を、該電極(22)を介して試験可能なように構成されてなることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はパッケージ内に複数の半導体素子を内蔵してなるマルチチップ型半導体装置に係り、特にマルチチップモジュールの一層の高密度実装化と高出力化を可能にする構造に関する。

【0002】パッケージ内に高出力半導体素子と低出力の半導体素子を内蔵してなるマルチチップ型半導体装置において、フリップチップ方式やTAB方式等のフェイスダウン方式によって半導体素子を基板に搭載し一層の高密度実装化を図っている。

【0003】しかし従来は高出力半導体素子の熱を逃がす適当な手段が無くパッケージが大型化する或いは構造が複雑になる等の問題があった。そこで一層の高密度実装化と高出力化を可能にするマルチチップ型半導体装置の開発が要望されている。

## 【0004】

【従来の技術】図5は従来の半導体装置の概要を示す断

面図である。ハイブリッド集積回路では図5(a)に示す如く基板11の両面に各種の半導体素子12を搭載し、基板11上の図示省略された電極と半導体素子12上の図示省略された電極の間をボンディングされたワイヤー13で接続している。

【0005】しかし電極間をボンディングされたワイヤーで接続するハイブリッド集積回路は高密度実装化に限度があり、最近ではフリップチップ方式やTAB方式等のフェイスダウン方式によって半導体素子を基板に搭載する方式に移行しつつある。

【0006】即ち、従来のマルチチップ型半導体装置は図5(b)に示す如く高出力半導体素子14や低出力半導体素子15を、平面的に配置してフェイスダウン方式によって半田バンプ16を介し多層化された基板17上の図示省略された電極に接続している。

【0007】なおフェイスダウン方式によって基板17上に搭載された高出力の半導体素子14は基板17を介して放熱することができず、例えば半導体素子14の背面に接合された窒化アルミ(AlN)等からなる放熱板18を介して外部に放出している。

## 【0008】

【発明が解決しようとする課題】しかし、従来のマルチチップ型半導体装置は半導体素子を平面的に配置しているため高密度実装化に限度があり、半導体素子の背面に放熱板を接合する構造はワイヤーボンディングされる半導体素子を混載する場合は利用できない。その場合は半導体素子と放熱板の間に熱伝導部品を介在させる必要があり構造が複雑になるという問題があった。

【0009】本発明の目的は一層の高密度実装化と高出力化を可能にするマルチチップ型半導体装置を提供することにある。

## 【0010】

【課題を解決するための手段】図1は本発明になる半導体装置の概要を示す断面図である。なお全図を通し同じ対象物は同一記号で表している。

【0011】上記課題は両面にそれぞれ半導体素子14、15が搭載された基板2をパッケージのベース3に実装し、基板2上の電極21とベース3上の電極31をワイヤー4で接続してなる半導体装置であって、少なくとも下面に搭載される半導体素子14がフェイスダウン方式によって基板2に搭載され、且つ、半導体素子14の背面が熱伝導性の接合材5を介してベース3に接合されてなる本発明の半導体装置によって達成される。

## 【0012】

【作用】図1において両面にそれぞれ半導体素子が搭載された基板をパッケージのベースに実装し、基板上の電極とベース上の電極をワイヤーで接続してなる半導体装置であって、少なくとも下面に搭載される半導体素子がフェイスダウン方式によって基板に搭載され、且つ、半導体素子の背面が熱伝導性の接合材を介してベースに接

合されてなる本発明の半導体装置は、複数の半導体素子を立体的に配置できるため半導体装置全体を小型化することが可能である。

【0013】また高出力半導体素子の背面が熱伝導性の接合材を介してベースに接合されているため、半導体素子が発する熱をベースを介して外部に放出することが可能になりパッケージの構造が簡略化される。即ち、一層の高密度実装化と高出力化を可能にするマルチチップ型半導体装置を実現することができる。

【0014】

【実施例】以下添付図により本発明の実施例について説明する。図2は本発明になる半導体装置の他の実施例を示す断面図、図3は本発明になる半導体装置の別の実施例を示す断面図、図4は本発明になる半導体装置の変形例を示す断面図である。

【0015】図1において本発明になる半導体装置は多層化された基板2がパッケージのベース3に実装されており、基板2上の電極21とベース3上の電極31はボンディングされたワイヤー4によって接続されている。

【0016】基板2の下面には1乃至複数個の高出力の半導体素子14がフェイスダウン方式によって半田バンプ16を介して搭載され、半導体素子14の背面は熱伝導性の接合材5を介して熱膨張率が半導体素子14に近似したベース3に接合されている。

【0017】また基板2の上面には1乃至複数個の低出力の半導体素子15がフェイスダウン方式によって半田バンプ16を介して搭載され、比較的発熱量の小さい半導体素子15および基板2の熱は熱伝導ペースト8を介してベース3に伝えられている。

【0018】図2において本発明になる半導体装置の他の実施例は基板2がパッケージのベース3に実装されており、基板2上の電極21とベース3上の電極31はボンディングされたワイヤー4によって接続されている。

【0019】基板2の下面には1乃至複数個の高出力の半導体素子14がフェイスダウン方式によって半田バンプ16を介して搭載され、半導体素子14の背面は熱伝導性の接合材5を介して熱膨張率が半導体素子14に近似したベース3に接合されている。

【0020】また基板2の上面には1乃至複数個の低出力の半導体素子15と抵抗やコンデンサ、コイル等の受動部品6が搭載され、図示省略された半導体素子15上の電極と基板2上の電極がボンディングされたワイヤー13によって接続されている。

【0021】低出力の半導体素子15や受動部品6は基板2の上面に、高出力の半導体素子14は基板2の下面に搭載されているため、ワイヤーボンディングされる半導体素子を混載する場合も高出力の半導体素子14の背面にベース3を容易に接合できる。

【0022】図3において本発明になる半導体装置の別の実施例は基板2がパッケージのベース3に実装されて

おり、基板2上の電極21とベース3上の電極31はボンディングされたワイヤー4によって接続されている。

【0023】基板2の下面には1乃至複数個の高出力の半導体素子14がフェイスダウン方式によって半田バンプ16を介して搭載され、半導体素子14の背面は熱伝導性の接合材5を介して熱膨張率が半導体素子14に近似したベース3に接合されている。

【0024】また基板2の上面には1乃至複数個の低出力の半導体素子15がフェイスダウン方式によって半田バンプ16を介して搭載され、半導体装置の特性をモジュール単位で試験するための複数の試験電極22が基板2上の周縁部に設けられている。

【0025】このように両面にそれぞれ半導体素子が搭載された基板をパッケージのベース3に実装し、基板上の電極とベース3上の電極をワイヤーで接続してなる半導体装置であって、少なくとも下面に搭載される半導体素子がフェイスダウン方式によって基板に搭載され、且つ、半導体素子の背面が熱伝導性の接合材を介してベースに接合されてなる本発明の半導体装置は、複数の半導体素子を立体的に配置できるため半導体装置全体を小型化することが可能である。

【0026】また高出力半導体素子の背面が熱伝導性の接合材を介してベースに接合されているため、半導体素子が発する熱をベースを介して外部に放出することが可能になり構造が簡略化される。即ち、一層の高密度実装化と高出力化を可能にするマルチチップ型半導体装置を実現することができる。

【0027】更に図4において本発明になる半導体装置の変形例はベース3に接合されたキャップ7を有し、熱伝導ペースト8を介してベース3に実装された基板2とキャップ7の間に金属からなる熱伝導部品9を介在させている。

【0028】例えば熱伝導性に優れた金属で形成されたU字状板ばねからなる熱伝導部品9は一端がキャップ7に半田付けされており、キャップ7をベース3に接合したときに熱伝導部品9の他端はキャップ7と接触を保ちながら横に移動する。

【0029】熱伝導部品9の中間に位置する円弧状底面は基板2に押し付けられるように構成されており、基板2の熱は熱伝導ペースト8を介してベース3に伝えられると共に熱伝導部品9を介してキャップ7に伝えられる。

【0030】即ち、高出力半導体素子14の背面を熱伝導性の接合材5によってベース3に接合すると共に、基板2の熱をベース3とキャップ7に伝えることによってパッケージの放熱効果が向上し更に高出力化を図ることができる。

【0031】

【発明の効果】上述の如く本発明によれば一層の高密度実装化と高出力化を可能にするマルチチップ型半導体装

5

置を提供することができる。

【図面の簡単な説明】

【図1】 本発明になる半導体装置の概要を示す断面図である。

【図2】 本発明になる半導体装置の他の実施例を示す断面図である。

【図3】 本発明になる半導体装置の別の実施例を示す断面図である。

【図4】 本発明になる半導体装置の変形例を示す断面図である。

6

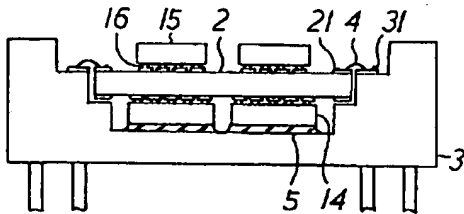
【図5】 従来の半導体装置の概要を示す断面図である。

【符号の説明】

- |            |             |
|------------|-------------|
| 2 基板       | 3 ベース       |
| 4 ワイヤー     | 5 接合材       |
| 6 受動部品     | 7 キャップ      |
| 8 熱伝導ペースト  | 9 熱伝導部品     |
| 13 ワイヤー    | 14、15 半導体素子 |
| 16 半田バンプ   | 21、31 電極    |
| 10 22 試験電極 |             |

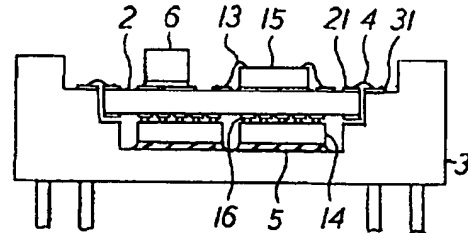
【図1】

本発明になる半導体装置の概要を示す断面図



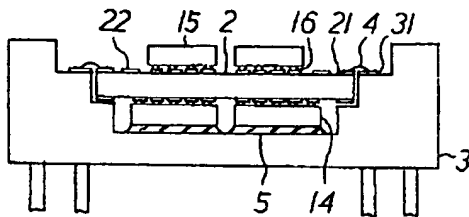
【図2】

本発明になる半導体装置の他の実施例を示す断面図



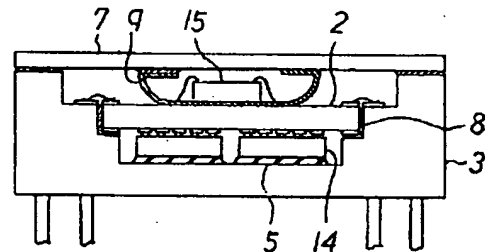
【図3】

本発明になる半導体装置の別の実施例を示す断面図



【図4】

本発明になる半導体装置の変形例を示す断面図



【図5】

従来の半導体装置の概要を示す断面図

